PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-330316
(43)Date of publication of application : 13.12.1996

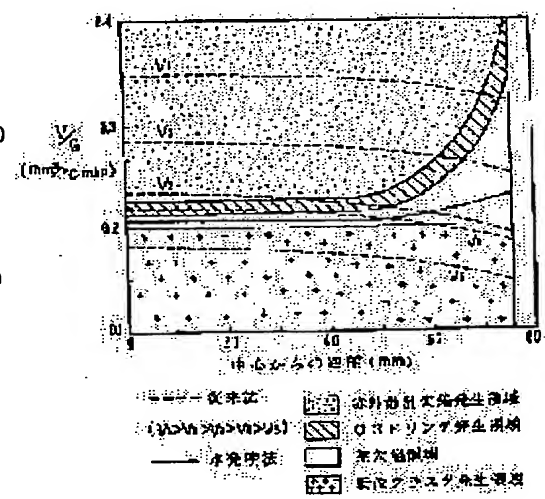
(51)Int.Cl. H01L 21/322
C30B 15/22
C30B 29/06

(21)Application number : 07-158458
(22)Date of filing : 31.05.1995

(71)Applicant : SUMITOMO SITIX CORP
(72)Inventor : HORAI MASATAKA
KAJITA EIJI

(54) SILICON SINGLE CRYSTAL WAFER AND ITS PRODUCTION

(57)Abstract:
PURPOSE: To provide a silicon single crystal wafer having no grown-in defect over the entire surface.
CONSTITUTION: When a silicon single crystal is grown by Czochralski method at a pulling rate of V (mm/min) with an average temperature gradient of G (° C/mm) in the crystal in the direction of pulling axis over a temperature range from the melting point of silicon and 1300°. C, the value of V/G is set at 0.20-0.22 mm2/° C.min between the center of crystal and a position separated by 30 mm from the outer circumference of crystal. The value of V/G is set at 0.20-0.22 mm2/° C.min between the position separated by 30mm from the outer circumference of crystal and the position on the outer circumference of crystal or it is increased gradually toward the outer circumference of crystal. Consequently, the OSF ring disappears in the center of wafer and no dislocation cluster is generated on the outside of the ring.



LEGAL STATUS

[Date of request for examination] 20.09.1996
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number] 3085146
[Date of registration] 07.07.2000
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

(19)日本国特許庁（ＪＰ）　(12) 公開特許公報（Ａ）　(11)特許出願公開番号

特開平8－330316

(43)公開日　平成8年(1996)12月13日

(51)Int.Cl.⁶	識別記号	庁内整理番号	ＦＩ	技術表示箇所
Ｈ０１Ｌ　21/322			Ｈ０１Ｌ　21/322	Ｙ
Ｃ３０Ｂ　15/22			Ｃ３０Ｂ　15/22	
29/06	５０２	7202－4G	29/06　５０２Ｊ	

審査請求　未請求　請求項の数２　ＦＤ　（全７頁）

(21)出願番号　特願平7－158458

(22)出願日　平成7年(1995)５月31日

(71)出願人　000205351
住友シチックス株式会社
兵庫県尼崎市東浜町１番地

(72)発明者　宝来　正隆
佐賀県杵島郡江北町大字上小田2201番地
住友シチックス株式会社九州事業所内

(72)発明者　梶田　栄治
佐賀県杵島郡江北町大字上小田2201番地
住友シチックス株式会社九州事業所内

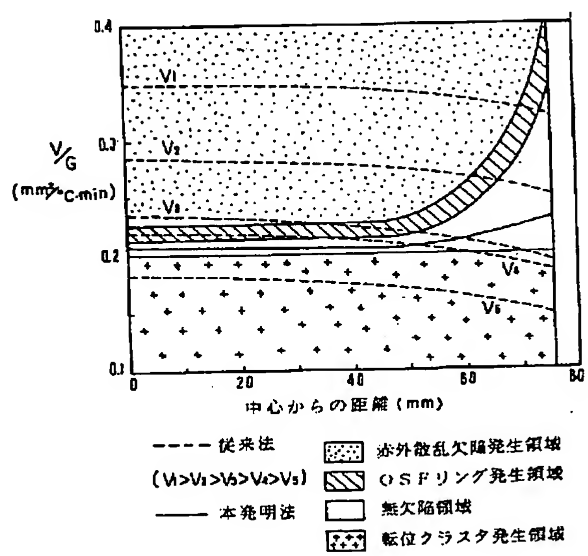
(74)代理人　弁理士　生形　元重　（外１名）

(54)【発明の名称】　シリコン単結晶ウェーハおよびその製造方法

(57)【要約】

【目的】　全面にGrown-in欠陥のないシリコン単結晶ウェーハを提供する。

【構成】　チョクラルスキー法でシリコン単結晶を育成する際に、引き上げ速度をＶ（ｍｍ／min）とし、シリコン融点から１３００℃までの温度範囲における引き上げ軸方向の結晶内温度勾配の平均値をＧ（℃／ｍｍ）とするとき、Ｖ／Ｇ値を結晶中心位置と結晶外周から３０ｍｍまでの位置との間では0.２０～0.２２ｍｍ²／℃・min とし、結晶外周から３０ｍｍまでの位置と結晶外周位置との間では0.２０～0.２２ｍｍ²／℃・min とするか若しくは結晶外周に向かって漸次増加させる。ＯＳＦリングがウェーハ中心部で消滅し、且つリングの外側に生じるはずの転位クラスタも発生しない。



【特許請求の範囲】

【請求項１】　チョクラルスキー法により育成されたシリコン単結晶ウェーハであって、熱酸化処理をした際にリング状に発生する酸化誘起積層欠陥がウェーハ中心部で消滅した低速育成ウェーハであり、且つウェーハ全面から転位クラスタが排除されていることを特徴とするシリコン単結晶ウェーハ。

【請求項２】　チョクラルスキー法でシリコン単結晶を育成する際に、引き上げ速度をＶ（ｍｍ／min ）とし、シリコン融点から１３００℃までの温度範囲における引き上げ軸方向の結晶内温度勾配の平均値をＧ（℃／ｍｍ）とするとき、Ｖ／Ｇ値を結晶中心位置と結晶外周から３０ｍｍまでの位置との間では0.２０～0.２２ｍｍ^2／℃・min とし、結晶外周から３０ｍｍまでの位置と結晶外周位置との間では0.２０～0.２２ｍｍ^2 ／℃・min とするか若しくは結晶外周に向かって漸次増加させることを特徴とするシリコン単結晶ウェーハ製造方法。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】本発明は、半導体素子等の製造に用いられるシリコン単結晶ウェーハ、特にチョクラルスキー法（以下ＣＺ法という）により育成されたシリコン単結晶ウェーハおよびその製造方法に関する。

【０００２】

【従来の技術】半導体素子の製造に用いられるシリコン単結晶ウェーハは主にＣＺ法により製造されている。ＣＺ法とは周知の如く石英坩堝内のシリコン融液に種結晶を漬け、石英坩堝および種結晶を回転させながら種結晶を引き上げることにより、円柱状のシリコン単結晶を育成するものである。このときの引き上げ速度、すなわち単結晶育成速度は通常1.０～2.０ｍｍ／min である。

【０００３】ところで、このようなＣＺ法により育成したシリコン単結晶ウェーハは、熱酸化処理（例えば１０００～１２００℃×１～１０時間）を受けたときに、リング状に発生するＯＳＦと呼ばれる酸化誘起積層欠陥を生じることがある。このＯＳＦリングは引き上げ速度が速くなるにつれて単結晶の外周側へ移動することが知られており、現在ＬＳＩの製造には、ＯＳＦリングが単結晶の最外周に分布するように比較的高速の引き上げ速度、すなわち1.０～2.０ｍｍ／min で育成された高速育成ウェーハが用いられている。

【０００４】しかしながら、このような高速で育成されたシリコン単結晶ウェーハには数種の微小欠陥（以下Grown-in欠陥と称す）が存在し、ＭＯＳデバイスのゲート酸化膜耐圧特性を劣化させることが明らかになってきた。また、これらのGrown-in欠陥は熱的に極めて安定であることから、デバイスの製造プロセス中においても消滅せず、ウェーハ表面近傍の活性領域に残留し、酸化膜耐圧特性だけでなく接合リーク特性を劣化させることも明らかになってきた（例えばM.Horikawa et al.Semiconductor Silicon 1994,p987）。

【０００５】近年ＬＳＩ等のＭＯＳ型高集積半導体素子の集積度増大に伴ってゲート酸化膜が薄膜化され、ソース・ドレイン等の拡散層深さが浅くなったため、ゲート酸化膜の絶縁耐圧特性の向上および接合リーク電流の低減が強く要請されているが、現在ＬＳＩの製造に使用されている高速育成ウェーハは、これらの特性が劣るため、最近の特に高い集積度に対しては対応が困難になってきた。

【０００６】そこで最近になって、引き上げ速度が0.８ｍｍ／min 以下の中速または低速でシリコン単結晶を育成する方法が特開平２－２６７１９５号公報により提案された。しかしながら、このような中速～低速で育成したシリコン単結晶ウェーハにも下記のような結晶品質上の問題点がある。

【０００７】

【発明が解決しようとする課題】一般に、単結晶内の温度分布はＣＺ炉内の構造に依存しており、引き上げ速度が変化しても、その分布は大きくは変わらない。そのため、同じ構造を有する装置により、引き上げ速度を変化させて単結晶を育成すると、図１に示すような引き上げ速度と欠陥発生分布との関係が見られる。装置が異なるとこの関係は若干変化するが、傾向まで変化することはない。

【０００８】引き上げ速度が0.８～0.６ｍｍ／min の中速育成の場合には、同図（Ａ）に示すように、シリコン単結晶ウェーハの半径の１／２付近にＯＳＦリングが発生する。リングの外側と内側とでは物性が異なり、ＯＳＦリングより外側の領域では、ゲート酸化膜の耐圧特性は良好である。

【０００９】しかし、リングより内側の領域では、いくつかの種類のGrown-in欠陥が存在するため、その耐圧特性は良好でない。なかでも結晶育成中に形成されas-grown状態で赤外トモグラフ法で観察される赤外散乱欠陥が約１０^6 個／ｃｍ^3 の密度で発生する。酸素析出物と考えられるこの欠陥は熱的に極めて安定であるので、デバイスの熱処理プロセスでも消滅することはなく、デバイス活性領域に残留して接合リーク特性も劣化させる。

【００１０】またＯＳＦリング自体は、数ｍｍ～１０ｍｍ程度の幅で発生し、約１０^4 個／ｃｍ^2 の高密度でＯＳＦを含むことから、半導体素子の特性、例えば接合リーク特性を悪化させる原因になる。更に、この領域には、ウェーハを熱処理した際に１０^8 ～１０^9 ｃｍ$^{-3}$の密度で酸素析出物が発生する。この酸素析出物の核も熱的に安定であり、１２５０℃の熱処理でも成長する。従って、ＯＳＦリング自体もデバイスプロセス後の特性を劣化させる原因になる。

【００１１】シリコン単結晶の引き上げ速度を0.６～0.５ｍｍ／min に低下させた場合には、図１（Ｂ）に示すように、ＯＳＦリングの直径が更に小さくなり、ウェー

ハの中心付近にリング状または円盤状にＯＳＦが発生する。リングより外側の面積が増大するために、酸化膜耐圧特性は向上するが、代わってリング外側の外周部に転位クラスタが発生する。この転位クラスタは大きさが約１０～２０μｍで密度が約10^3個／cm^2程度であり、これも半導体素子の特性を劣化させる原因になることは周知の通りである。

【００１２】また、ＣＺ法で育成されたシリコン単結晶ウェーハには、酸素不純物が１～2×10^{18} atoms／cm^3の濃度で含まれている。そして、この酸素不純物のためにデバイスプロセスでの熱処理（例えば６００～１１５０℃×数十時間）により酸素析出が起こることは上述した通りである。この酸素析出物はデバイス活性領域に発生してデバイスの特性を劣化させる一方で、デバイスプロセス中に発生する重金属汚染をゲッタリングするサイトとして作用する。

【００１３】ＯＳＦリングより内側の領域では酸素析出が強く起こるため、通常のイントリンシックゲッタリング能（以下ＩＧ能という）が得られるが、ＯＳＦリングより外側の転位クラスタが発生する領域では、この酸素析出が起こりにくいためＩＧ能は低下する。

【００１４】このように、引き上げ速度が0.８～0.５ｍｍ／min の中速で育成されたウェーハは、ＯＳＦリングが残り、そのリング自体が欠陥発生領域であるだけなく、リングの内外にも欠陥が発生するため、高集積度の半導体素子の製造には適さない。

【００１５】一方、引き上げ速度が0.５ｍｍ／min 以下の低速で育成されたウェーハでは、図１（Ｃ）に示すように、ＯＳＦリング領域はウェーハの中央部で消滅し、これに伴いリングより内側の赤外散乱欠陥が発生する領域も消える。しかし、ウェーハの全面に転位クラスタが発生する。転位クラスタの発生がデバイス特性の低下やＩＧ能の低下の原因になることは上述した通りである。従って、低速育成ウェーハも高集積度半導体素子の製造に適さない。

【００１６】以上のように、現状のＣＺ法によるシリコン単結晶の育成では、引き上げ速度をいかに調整しても結晶径方向の少なくとも一部に有害欠陥が生じ、全面無欠陥のウェーハは製造されない。

【００１７】本発明の目的は、全面にわたって有害欠陥がない高品質なＣＺ法育成のシリコン単結晶ウェーハおよびその製造方法を提供することにある。

【００１８】

【課題を解決するための手段】ところで本発明者らは先にＯＳＦリングの発生位置に関し次のような重要な事実を得た。

【００１９】同一の構造を有する結晶育成装置では、ＯＳＦリングの径は結晶の引き上げ速度に依存して変化し、引き上げ速度の低下と共にその径は減少するが、育成装置が相違し、ホットゾーン構造が変化すると、同一の引き上げ速度であってもＯＳＦリングの径は異なる。しかし、単結晶の引き上げ速度をＶ（ｍｍ／min ）とし、シリコン融点から１３００℃までの高温域における引き上げ軸方向の結晶内温度勾配の平均値をＧ（℃／ｍｍ）とするとき、Ｖ／Ｇで表わされる比によりＯＳＦリングの径は一義的に決定される。つまり、Ｖ／Ｇ値を制御することにより、ＯＳＦリングを狙いとする位置に発生させることができ、また消滅させることも可能となる。

【００２０】しかしながら、Ｖ／Ｇ値の制御によりＯＳＦリングの発生位置を制御しても赤外散乱欠陥、転位クラスタ等のGrown-in欠陥まで消滅させることはできない。

【００２１】そこで本発明者らは欠陥分布に及ぼすＶ／Ｇ値の影響を次のようにして調査した。単結晶の肩からそれぞれ１００，２００，３００，４００ｍｍの各位置に固液界面がある場合の温度分布を総合伝熱解析により求めた。この伝熱解析においては、融液内の対流による温度分布の効果が考慮されていないと、実際と異なる固液界面形状が得られ、またこれによって結晶内の特に固液界面に近い高温部での温度分布が実際のものと若干異なることが懸念される。この計算上の問題を改善し、高温部におけるより正確な温度分布を得るために、さらに上記各位置での固液界面の形状を実結晶から計測し、界面での温度をシリコンの融点として、これと上記伝熱計算による結晶表面での温度を境界条件として再び結晶内部の軸方向温度分布を計算し、これから軸方向温度勾配の径方向分布を計算した。径方向位置を横軸とし、Ｖ／Ｇ値を縦軸として欠陥分布を示したのが図２である。

【００２２】図２から分かるように、Ｖ／Ｇ値が0.２０ｍｍ^2／℃・min 未満の場合、径方向全域において転位クラスタが発生する。Ｖ／Ｇ値が0.２０ｍｍ^2／℃・min より大きくなるに連れて無欠陥領域、ＯＳＦリング発生領域、赤外散乱欠陥発生領域の順に領域が変化する。ここで無欠陥領域の下限は径方向位置に関係なく一定（0.２０ｍｍ^2／℃・min ）であるが、上限は結晶中心と結晶外周から３０ｍｍまでの位置との間では一定（0.２２ｍｍ^2／℃・min ）となり、結晶外周から３０ｍｍまでの位置と結晶外周位置との間では、結晶外周に近づくに連れて大となる。そして、ホットゾーン構造が異なる場合でも各種欠陥はこの図に従って分布する。

【００２３】すなわち、ホットゾーン構造と引き上げ速度が決まると、その育成装置が持つ結晶径方向でのＶ／Ｇ値が破線のように決定される。引き上げ速度がV_1の場合、そのＶ／Ｇ曲線が赤外散乱欠陥発生領域を横切る結晶部位で赤外散乱欠陥が生じ、ＯＳＦリング発生領域を横切る結晶部位でＯＳＦリングが発生する。よって引き上げ速度がV_1の場合はウェーハの最外周部にＯＳＦリングが発生し、その内側の領域には赤外散乱欠陥が生じる。引き上げ速度が低下するとＶ／Ｇ曲線はV_2，Ｖ

$_3$，V_4，V_5 のように移動し、結晶に発生する欠陥の径方向分布が変化する。

【００２４】ここで注目すべきことは、ＣＺ法によるシリコン単結晶の育成では単結晶の径方向全域において無欠陥となるＶ／Ｇが存在すること、換言すればＶ／Ｇによっては単結晶の径方向全域において欠陥を無くすのが可能であること、しかし従来の育成では単結晶の引き上げ速度に関係なくＶ／Ｇ曲線が一般に右下がりとなるため径方向全域において無欠陥とするのができないことの２点である。

【００２５】Ｖ／Ｇ曲線が右下がりとなるのは、後で詳しく述べるが、結晶内の軸方向温度勾配が中心部に比して外周部で大きいことによる。すなわち、Ｖが一定の状態でＧが中心から外周へ向かうに連れて増大するためにＶ／Ｇ曲線は右下がりとなる。そのため径方向の全域において無欠陥となるＶ／Ｇが存在するにもかかわらず、ウェーハ全面を無欠陥にすることはできない。

【００２６】例えばＶがV_1 の場合はウェーハの最外周部にＯＳＦリングが発生し、その内側に赤外散乱欠陥が発生する。これは従来一般の高速育成である。ＶがV_1 より遅いV_2，V_3 になると、ウェーハの径方向中間部にＯＳＦリングが発生し、その外側は無欠陥領域となるが、内側には赤外散乱欠陥が発生する。これは中速育成であり図１（Ａ）に相当する。Ｖが更に遅いV_4 になると、ウェーハ中心部にＯＳＦリングが発生し、その外側に無欠陥領域が残るが、最外周部には転位クラスタが発生する。これは図１（Ｂ）に相当する中速育成である。Ｖが更に遅いV_5 になると、ＯＳＦリングは中心部で消滅するが、ウェーハ全面に転位クラスタが発生する。これは図１（Ｃ）に相当する低速育成である。また仮に、結晶中心部でＶ／Ｇを欠陥が生じない0.２０～0.２２ｍｍ^2 ／℃・min に管理しても、結晶中心部から外れるに連れてＶ／Ｇが低下するために、中心部以外は転位クラスタを生じる。

【００２７】このように、ＣＺ法によるシリコン単結晶の育成では、単結晶の径方向全域において無欠陥領域を形成し得るＶ／Ｇが存在するにもかかわらず、Ｖ／Ｇが右下がりの曲線であるために、ウェーハ全面を無欠陥とすることができない。

【００２８】しかしながら、もし仮に、単結晶の径方向においてＶ／Ｇを径方向に一定の直線、あるいは外周部において漸増する右上りの曲線とすることができれば、径方向の全域において欠陥の発生を防止することができる。この仮定に基づき本発明者らは更なる調査解析を行なった。その結果、結晶育成装置のホットゾーンの構造によってはＶ／Ｇを図２に実線で示すような直線乃至は右上りの曲線とすることができ、その結果、単結晶の径方向全域において無欠陥領域が形成され、ここにこれまで不可能であった全面無欠陥ウェーハの製造が可能になることを知見し、本発明を完成させるに至った。

【００２９】本発明のシリコン単結晶ウェーハは、ＣＺ法により育成されたシリコン単結晶ウェーハであって、熱酸化処理をした際にリング状に発生する酸化誘起積層欠陥（ＯＳＦ）がウェーハ中心部で消滅した低速育成ウェーハであり、且つウェーハ全面から転位クラスタが排除されていることを特徴とする。

【００３０】また本発明のウェーハ製造方法は、ＣＺ法でシリコン単結晶を育成する際に、引き上げ速度をＶ（ｍｍ／min ）とし、シリコン融点から１３００℃までの温度範囲における引き上げ軸方向の結晶内温度勾配の平均値をＧ（℃／min ）とするとき、Ｖ／Ｇ値を結晶中心位置と結晶外周から３０ｍｍまでの位置との間では0.２０～0.２２ｍｍ^2 ／℃・min とし、結晶外周から３０ｍｍまでの位置と結晶外周位置との間では0.２０～0.２２ｍｍ^2 ／℃・min とするか若しくは結晶外周に向かって漸次増加させることを特徴とする。

【００３１】

【作用】本発明のウェーハは、ＯＳＦリングがウェーハ中心部で消滅した低速育成ウェーハであるので、ＯＳＦおよびその内側に発生する赤外散乱欠陥を含まない。そして、外側に発生するはずの転位クラスタも排除されている。よって全面にわたり有害欠陥のない高品質ウェーハとなる。

【００３２】また、本発明のウェーハ製造方法では、結晶径方向でＶ／Ｇ値が無欠陥領域のみを横切るようにＣＺ炉の温度分布を調節する。ここで無欠陥領域の下限値は、0.２０ｍｍ^2 ／℃・min で一定であり、上限値は、外周から３０ｍｍを除く部分においては、0.２２ｍｍ^2 ／℃・min で一定であり、外周から３０ｍｍまでの部分においては外周に向かって漸次増大している。従って、Ｖ／Ｇ値を結晶中心位置と結晶外周から３０ｍｍまでの位置との間では0.２０～0.２２ｍｍ^2 ／℃・min とし、結晶外周から３０ｍｍまでの位置と結晶外周位置との間では0.２０～0.２２ｍｍ^2 ／℃・min とするか若しくは結晶外周に向かって漸次増加させることにより、ＯＳＦリングが結晶中心部で消滅し、且つ転位クラスタを含まない低速育成結晶が得られる。

【００３３】一般に結晶内の軸方向温度勾配は中心部に比較して外周部が大きい。これは、ＣＺ炉内の発熱部が結晶よりも下にあり、結晶の上方と周囲が低温部であることから、固液界面から流入した熱流が結晶中を引き上げ軸にそって上方及び結晶の表面方向（外周）に向かって流れることで、結晶が冷却されるためであり、結晶が冷却され易い炉ほど結晶表面からの放熱が大きく、外周部での温度勾配は大きくなる傾向がある。従って、結晶冷却能の大きい構造を有する一般のＣＺ炉では、一定の引き上げ速度で成長中の結晶内のＶ／Ｇの径方向分布は、中心から外周に向かって低下する傾向がある。このようなＣＺ炉では、中心部でＶ／Ｇ値が図２の無欠陥領域にあったとしても、外周に近づくとこの領域から外

れ、転位クラスタが発生する領域を横切るため、転位クラスタの発生は避けられない。

【００３４】しかし逆に、結晶が冷却されにくいＣＺ炉は、熱流の方向が外周よりも主に上方に向かって流れ、逆に融点に近い高温部の結晶表面は、融液や石英坩堝、ヒーター等からの輻射によって、温度が相対的に高くなる傾向があるため、温度勾配は中心よりも若干低くなる。ただし、結晶表面からの放熱も少なからずあるため、無制限に温度勾配が小さくなることはない。このことから、結晶が冷却されにくい構造を有するＣＺ炉では、Ｖ／Ｇ値は径方向に一定か、もしくは若干増大し、無制限に増大しない傾向となる。従って、このようなＣＺ炉を使用し、且つ結晶中心部でＶ／Ｇ値を無欠陥領域に存在させておけば、Ｖ／Ｇ値は径方向全域において無欠陥領域から外れることはない。その結果、ＯＳＦリングが結晶の中心部で消滅した低速育成結晶でありながら、転位クラスタが発生しない単結晶が得られる。

【００３５】結晶内の融点に近い高温部における温度勾配は、結晶軸方向で必ずしも一定ではなく、トップ部からテイル部にかけて若干変化する。これは、結晶成長時に一定の直径を維持するためにヒーターパワーが変化することや、結晶長、残融液量等の変化によってＣＺ炉内の熱的な環境が徐々に変化することによって、結晶に流入流出する熱流が変化するためである。従って、従来のＣＺ法においては、引き上げ量の増大に伴う結晶軸方向の温度勾配の変化によってＶ／Ｇ値も変化し、発生する欠陥分布も軸方向にわずかずつ変化する（図３参照）。

【００３６】そこで、結晶軸方向の温度勾配Ｇの変化に対して、Ｖ／Ｇが一定になるように引き上げ速度Ｖを調整する（図５参照）。そうすることにより、軸方向全域においても全面無欠陥とすることが可能となる。このように、欠陥制御の目的で引き上げ速度を制御したとしても、結晶の直径制御は従来と同様に可能である。すなわち、ヒーターパワーの制御とそれと連動または独立に、欠陥制御のために必要な目標引上速度の周りで、数秒の時間毎に一定のスパンで引き上げ速度を変動させたとしても、平均の引き上げ速度Ｖは変わらず、目的とするＶ／Ｇ値は維持される。これは、このような短時間の引き上げ速度の変動に対して、欠陥の発生が影響されないためである。

【００３７】

【実施例】以下に本発明の実施例を説明する。

【００３８】１８”石英坩堝及びカーボン坩堝が設置された６”単結晶の育成可能なＣＺ炉において、坩堝の周囲に設置された円筒状のカーボンヒーターと坩堝との相対位置、育成結晶の周囲に設置されたカーボンからなる厚さ５ｍｍ、開口径２００ｍｍの半円錐形状の輻射遮蔽体の先端と融液表面との距離、ヒータ周囲の断熱材構造等の種々条件を総合伝熱計算によって種々検討し、結晶外周から３０ｍｍまでの領域を除く部分においてはＶ／Ｇがほぼ一定で、外周から３０ｍｍまでの領域においては外周に向かってＶ／Ｇが単調に増大するように、上記条件を決定した。計算結果を図３に示す。図中の０，１００…７００ｍｍは結晶引き上げ量である。

【００３９】上記条件を決定した後、１８”石英坩堝に高純度多結晶シリコンを６５ｋｇ入れ、ボロンをドープして、多結晶シリコンを加熱溶解し、直径が１５０ｍｍで結晶成長方位が〈１００〉の単結晶を引き上げ速度が0.４５ｍｍ／min の低速で長さ１３００ｍｍまで育成した。

【００４０】育成後の結晶を結晶軸方向と平行に厚さ1.５ｍｍで切り出し、ＨＦおよびHNO_3からなる混酸溶液中で加工歪を溶解除去し、さらに希ＨＦ溶液中に浸漬し、その後超純水でリンスし乾燥させた。このサンプルを８００℃／４ｈｒ＋１０００℃／１６ｈｒ乾燥酸素中で熱処理した後、Ｘ線トポグラフによって欠陥の発生分布を調べた。欠陥の分布を図４に示すが、調べた欠陥の分布は以下のように図３の計算結果に対応するものとなった。なお、図４中の数字は単結晶の肩からの長さで、図３中の引き上げ量に対応する。

【００４１】引き上げ速度Ｖと融点から１３００℃までの結晶軸方向温度勾配の平均値Ｇとの比Ｖ／Ｇは、結晶の径方向に中心から４５ｍｍの位置まではほぼ一定値で、４５ｍｍの位置からは外周部に向かって単調に増大している。なお、中心から４５ｍｍの位置は外周から３０ｍｍの位置である。

【００４２】Ｖ／Ｇをこのように管理した結果、結晶トップから２００ｍｍまでの軸方向部位では、結晶中心部でのＶ／Ｇが0.２０ｍｍ^2 ／℃・min 未満であり、径方向全域に転位クラスタが発生した。２００ｍｍから５００ｍｍにかけては、結晶中心部でのＶ／Ｇが0.２２～0.２０ｍｍ^2 ／℃・min となっており、特に４００ｍｍ近傍では結晶中心から４５ｍｍまでの領域でＶ／Ｇが0.２２～0.２０ｍｍ^2 ／℃・min に維持され、４５ｍｍから外側の領域でＶ／Ｇが単調に増加し、これらにより径方向全域でＶ／Ｇが無欠陥領域内に管理されたため、径方向全域でＯＳＦリングや赤外散乱欠陥等のその他の有害なGrown-in欠陥の発生は見られなかった。５００ｍｍから結晶テールにかけての部位では、結晶中心部でのＶ／Ｇが0.２２ｍｍ^2 ／℃・min を超えたため、ＯＳＦリングが発生し、その内側には赤外散乱欠陥が発生した。

【００４３】このような結果をふまえて次に、図５に示すように、前記実施例における４００ｍｍ近傍でのＶ／Ｇ曲線を結晶軸方向の全長において再現した。すなわち、結晶中心から４５ｍｍまでの領域でＶ／Ｇが0.２２～0.２０ｍｍ^2 ／℃・min に維持され、４５ｍｍから外側の領域でＶ／Ｇが単調に増加するように結晶軸方向での目標引き上げ速度を設定した。引き上げ速度を除く他の操業条件は前記実施例と同様に設定し、６”Ｂドープ〈１００〉、結晶長１３００ｍｍの単結晶を育成した。

前記実施例と同様の方法によってこの結晶内の欠陥の発生分布を調べた。トップ部からテイル部にかけての全長において、ＯＳＦリング、赤外散乱欠陥、転位クラスタの発生は見られなかった。

【００４４】

【発明の効果】以上に説明した通り、本発明のシリコン単結晶ウェーハは、熱的に極めて安定でデバイス活性領域に残留または成長し、ゲート酸化膜の信頼性や接合リーク特性を劣化させる有害なGrown-in欠陥（赤外散乱欠陥、ＯＳＦリング、転位クラスタ）を全面にわたって含まないために、高集積半導体素子に使用してその特性劣化を防ぎ、素子製造歩留の向上に寄与する。また、本発明のウェーハ製造方法によってこのような高品質のＣＺシリコン単結晶ウェーハが容易に製造可能となる。

【図面の簡単な説明】

【図１】ＣＺ法で育成したシリコン単結晶ウェーハの欠＊＊陥分布を示す模式図である。

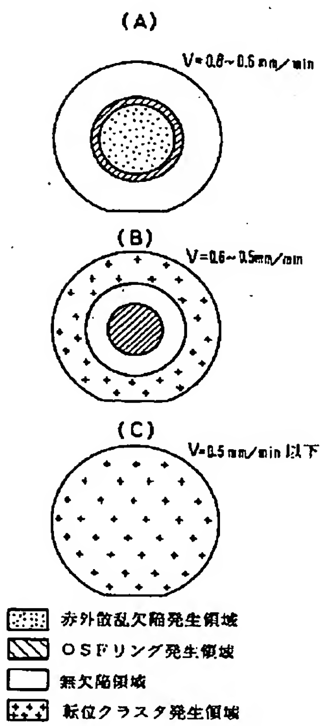
【図２】横軸を結晶径方向位置とし縦軸をＶ／Ｇとしたときの両者の関係（Ｖ／Ｇ曲線）および欠陥分布を示す図表で、Ｖ／Ｇ曲線の傾きが欠陥の発生に及ぼす影響を示す。

【図３】横軸を結晶径方向位置とし縦軸をＶ／Ｇとしたときの両者の関係（Ｖ／Ｇ曲線）および欠陥分布を示す図表で、Ｖ／Ｇ曲線のレベルが欠陥の発生に及ぼす影響を示す。

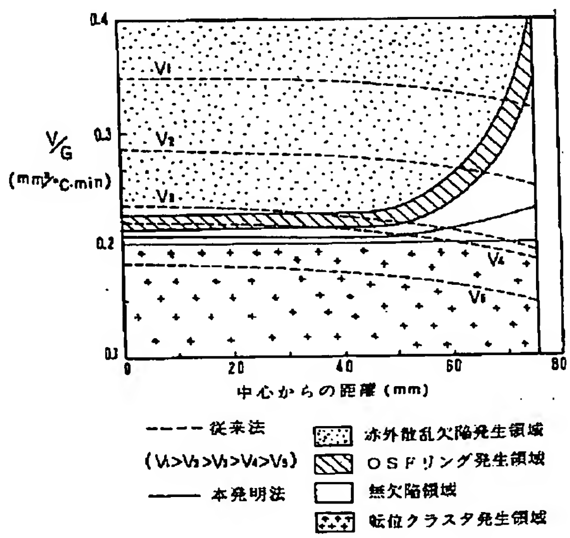
【図４】結晶軸を含む平面での欠陥分布を示す模式図である。

【図５】横軸を結晶径方向位置とし縦軸をＶ／Ｇとしたときの両者の関係（Ｖ／Ｇ曲線）および欠陥分布を示す図表で、軸方向全長にわたって欠陥の発生を防止する場合を示す。

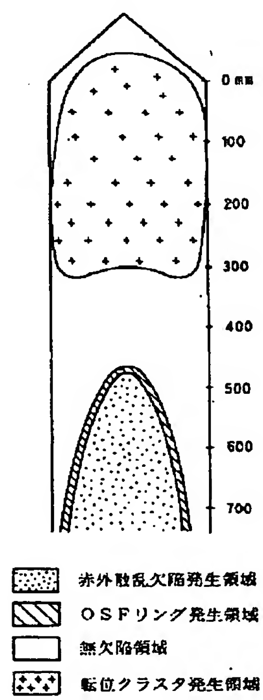
【図１】



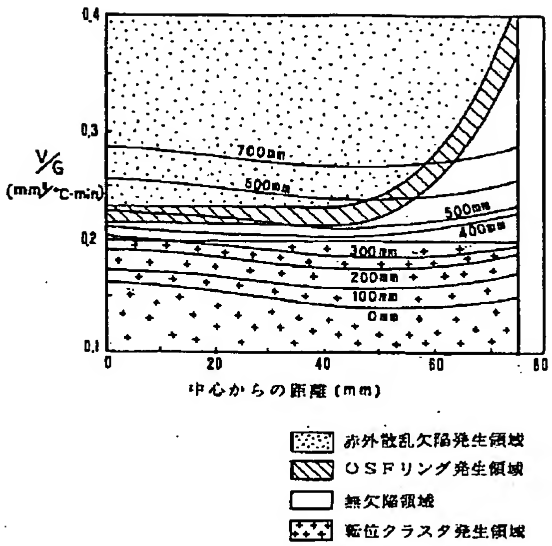
【図２】



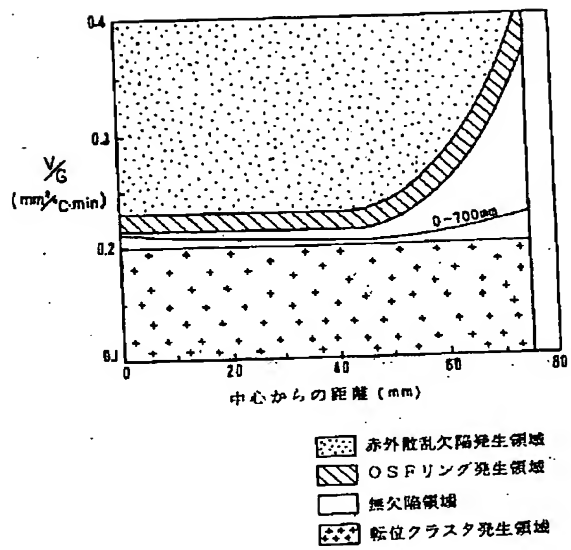
【図４】



【図3】


0.4
0.3
0.2
0.1
V/G
(mm²/°C·min)
700nm
600nm
500nm
400nm
300nm
200nm
100nm
0nm
0
20
40
60
80
中心からの距離（mm）
赤外散乱欠陥発生領域
OSFリング発生領域
無欠陥領域
転位クラスタ発生領域

【図5】


0.4
0.3
0.2
0.1
V/G
(mm²/°C·min)
0~700nm
0
20
40
60
80
中心からの距離（mm）
赤外散乱欠陥発生領域
OSFリング発生領域
無欠陥領域
転位クラスタ発生領域

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-330316
(43)Date of publication of application : 13.12.1996

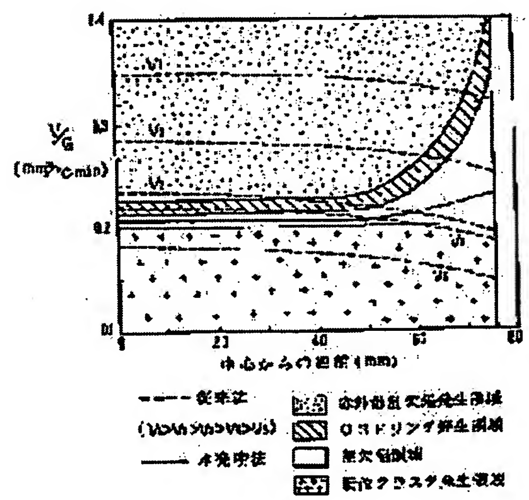
(51)Int.Cl. H01L 21/322
C30B 15/22
C30B 29/06

(21)Application number : 07-158458
(22)Date of filing : 31.05.1995

(71)Applicant : SUMITOMO SITIX CORP
(72)Inventor : HORAI MASATAKA
KAJITA EIJI

(54) SILICON SINGLE CRYSTAL WAFER AND ITS PRODUCTION

(57)Abstract:
PURPOSE: To provide a silicon single crystal wafer having no grown-in defect over the entire surface.
CONSTITUTION: When a silicon single crystal is grown by Czochralski method at a pulling rate of V (mm/min) with an average temperature gradient of G (°C/mm) in the crystal in the direction of pulling axis over a temperature range from the melting point of silicon and 1300°C, the value of V/G is set at 0.20-0.22 mm2/°C.min between the center of crystal and a position separated by 30 mm from the outer circumference of crystal. The value of V/G is set at 0.20-0.22 mm2/°C.min between the position separated by 30mm from the outer circumference of crystal and the position on the outer circumference of crystal or it is increased gradually toward the outer circumference of crystal. Consequently, the OSF ring disappears in the center of wafer and no dislocation cluster is generated on the outside of the ring.



LEGAL STATUS

[Date of request for examination]	20.09.1996
[Date of sending the examiner's decision of rejection]	
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	
[Date of final disposal for application]	
[Patent number]	3085146
[Date of registration]	07.07.2000
[Number of appeal against examiner's decision of rejection]	
[Date of requesting appeal against examiner's decision of rejection]	
[Date of extinction of right]	

CLAIMS

[Claim(s)]
[Claim 1] The silicon single crystal wafer which is a silicon single crystal wafer raised by the Czochrlski method, is a low-speed training wafer with which the oxidation induction stacking fault generated in the shape of a ring was extinguished in the wafer core when thermal oxidation processing is carried out, and is characterized by eliminating the rearrangement cluster from the whole wafer surface.
[Claim 2] A raising rate is set to V (mm/min) in case a silicon single crystal is raised with the Czochrlski method. When setting the average of inclination to G (degree C/mm) whenever [crystal internal temperature / of the raising shaft orientations in the temperature requirement from the silicon melting point to 1300 degrees C], Between a crystal center location and the location from a crystal periphery to 30mm, they are 0.20-0.22mm2 / **, and min about V/G value. It carries out. Between the location from a crystal periphery to 30mm, and a crystal periphery location, they are 0.20-0.22mm2 / **, and min. The silicon single crystal wafer manufacture approach characterized by carrying out or making it increase gradually toward a crystal periphery.

[Translation done.]

* NOTICES *

DETAILED DESCRIPTION

[Detailed Description of the Invention]
[0001]
[Industrial Application] This invention relates to the silicon single crystal wafer used for manufacture of a semiconductor device etc. especially the silicon single crystal wafer raised by the Czochrlski method (henceforth a CZ process), and its manufacture approach.
[0002]
[Description of the Prior Art] The silicon single crystal wafer used for manufacture of a semiconductor device is mainly manufactured by the CZ process. A CZ process raises a cylinder-like silicon single crystal by pulling up seed crystal, soaking seed crystal in the silicon melt in quartz crucible, and rotating quartz crucible and seed crystal like common knowledge. the raising rate, i.e., the single-crystal-growth rate, at this time -- usually -- 1.0 - 2.0 mm/min it is .
[0003] By the way, the silicon single crystal wafer raised by such CZ process may produce the oxidation induction stacking fault called OSF generated in the shape of a ring, when thermal oxidation processing (for example, 1000-1200 degree-Cx 1 - 10 hours) is received. This OSF ring is a high-speed raising rate, i.e., 1.0 - 2.0 mm/min, comparatively so that moving to the periphery side of a single crystal may be known as a raising rate becomes quick, and an OSF ring may be distributed over manufacture current [LSI] at the outermost periphery of a single crystal. The raised high-speed training wafer is used.
[0004] However, several sorts of minute defects (a Grown-in defect is called below) exist in the silicon single crystal wafer raised at such a high speed, and it is becoming clear to degrade the gate oxide proof-pressure property of an MOS device. Moreover, since these Grown-in defects are very stable thermally, they are not extinguished in the manufacture process of a device, but remain to the active region near the wafer front face, and it is becoming clear not only an oxide-film proof-pressure property but to degrade a junction leak property (for example, M.Horikawa et al.Semiconductor Silicon 1994, p987).
[0005] Since gate oxide was thin-film-ized in recent years with degree-of-integration increase of MOS mold quantity integrated semiconductor components, such as LSI, and the diffusion layer depth, such as a source drain, became shallow, the improvement in the withstand voltage property of gate oxide and reduction of junction leakage current are demanded strongly, but since these properties are inferior in the high-speed training wafer currently used for manufacture current [LSI], to the latest high degree of integration, correspondence is becoming difficult especially.
[0006] Then, raising rates are recently 0.8 mm/min. The method of raising a silicon single crystal at the following medium speed or low speeds was proposed by JP,2-267195,A. However, there is a trouble on the following crystal quality also in the silicon single crystal wafer raised at such a medium speed - a low speed.
[0007]
[Problem(s) to be Solved by the Invention] Generally, even if it depends for the temperature distribution in a single crystal on the structure in CZ furnace and a raising rate changes, the distribution does not change a lot. Therefore, if a raising rate is changed and a single crystal is raised with the equipment which has the same structure, the relation of a raising rate and defective generating distribution as shown in drawing 1 will be seen. Although this relation will change a little if equipment differs, it does not change to an inclination.
[0008] A raising rate is 0.8 - 0.6 mm/min. In being medium-speed training, as shown in this drawing (A), it generates an OSF ring near [1/2] the radius of a silicon single crystal wafer. Physical properties differ by the outside and the inside of a ring, and the proof-pressure property of gate oxide is good in the field outside an OSF ring.
[0009] However, in the field inside a ring, since some kinds of Grown-in defects exist, the proof-pressure property is not good. The infrared dispersion defect which is formed during crystal training and observed by the infrared tomograph method in the state of as-grown especially is about 106. An individual / cm3 It generates by the consistency. Since this defect considered to be an oxygen sludge is very stable thermally, it does not disappear in the heat treatment process of a device, either, it remains to a device active region, and a junction leak property is also degraded.
[0010] Moreover, it generates by width of face of several mm - about 10mm, and the OSF ring itself is about 104. An individual / cm2 Since OSF is included by high density, it becomes the cause of worsening, the property, for example, junction leak property, of a semiconductor device. Furthermore, in this field, when a wafer is heat-treated, an oxygen sludge is generated by the consistency of 108 -109 cm-3. The nucleus of this oxygen sludge is also thermally stable, and even 1250-degree C heat treatment grows. Therefore, it becomes the cause by which the OSF ring itself degrades the property after a device process.
[0011] It is the raising rate of a silicon single crystal 0.6 - 0.5 mm/min When it is made to fall, as shown in drawing 1 (B), the diameter of an OSF ring becomes still smaller and OSF occurs near the core of a wafer at the shape of a ring, and discoid. Although an oxide-film proof-pressure property improves since the area outside a ring increases, instead, a rearrangement cluster occurs in the periphery section of a ring outside. For magnitude, a consistency is [this rearrangement cluster] about 103 at about 10-20 micrometers. An individual / cm2 It is extent and it is well known to become the cause by which this also degrades the property of a semiconductor device.
[0012] Moreover, in the silicon single crystal wafer raised by the CZ process, an oxygen impurity is 1 - 2x1018 atoms/cm3. It is contained by concentration. And it is as having mentioned above that precipitation of oxygen happens by heat treatment (for example, dozens of 600-1150 degree-Cx hours) in a device process for this oxygen impurity. While this oxygen sludge is generated in a device active region and degrades the property of a device, it acts as a site which carries out gettering of the heavy metal contamination generated in a device process.
[0013] In the field inside an OSF ring, since precipitation of oxygen happens strongly, the usual in thorin chic gettering ability (henceforth IG ability) is obtained, but in the field which the rearrangement cluster outside an OSF ring generates, since this precipitation of oxygen cannot happen easily, IG ability falls.

[0014] Thus, a raising rate is 0.8 - 0.5 mm/min. Since an OSF ring remains, there is nothing as the ring itself is a defective generating field, and a defect occurs also within and without a ring, the wafer raised with medium speed does not fit manufacture of the semiconductor device of a high degree of integration.
[0015] On the other hand, raising rates are 0.5 mm/min. With the wafer raised at the following low speeds, as shown in drawing 1 (C), an OSF ring field disappears in the center section of the wafer, and the field which the infrared dispersion defect inside a ring generates in connection with this also disappears. However, a rearrangement cluster occurs all over a wafer. It is as having mentioned above that generating of a rearrangement cluster causes a fall of a device property and a fall of IG ability. Therefore, a low-speed training wafer does not fit manufacture of a highly-integrated semiconductor device, either.
[0016] As mentioned above, in training of the silicon single crystal by the present CZ process, however it may adjust a raising rate, a harmful defect will arise in a part of direction [at least] of the diameter of a crystal, and the wafer of a whole surface non-defect will not be manufactured.
[0017] The purpose of this invention is in the thing which do not have a harmful defect over the whole surface and for which the silicon single crystal wafer and its manufacture approach of quality CZ process training are offered.
[0018]
[Means for Solving the Problem] By the way, this invention persons acquired the important following facts about the generating location of an OSF ring previously.
[0019] Although the path of an OSF ring changes depending on the raising rate of a crystal and the path decreases with the fall of a raising rate with the crystal training equipment which has the same structure, when training equipment is different and hot zone structure changes, even if it is the same raising rate, the paths of an OSF ring differ. However, when setting the raising rate of a single crystal to V (mm/min) and setting the average of inclination to G (degree C/mm) whenever [crystal internal temperature / of the raising shaft orientations in the pyrosphere from the silicon melting point to 1300 degrees C], the path of an OSF ring is uniquely determined by the ratio expressed with V/G. That is, it becomes possible by controlling V/G value to be able to generate the location with an eye on an OSF ring, and to also make it disappear.
[0020] However, even if it controls the generating location of an OSF ring by control of V/G value, it cannot be made to disappear to Grown-in defects, such as an infrared dispersion defect and a rearrangement cluster.
[0021] Then, this invention persons investigated as follows the effect of V/G value exerted on defective distribution. Temperature distribution in case a solid-liquid interface is in each location of 100,200,300,400mm from the shoulder of a single crystal, respectively were searched for in comprehensive heat transfer analysis. if the effectiveness of the temperature distribution by the convection current in melt is not taken into consideration in this heat transfer analysis -- actually -- ** -- we are anxious about a different solid-liquid interface configuration being acquired, and the temperature distribution in the elevated-temperature section near especially a solid-liquid interface in a crystal changing an actual thing and a little with these. The problem on this count has been solved, in order to acquire exact temperature distribution rather than it can set in the elevated-temperature section, the configuration of the solid-liquid interface in each above-mentioned location was further measured from the real crystal, the shaft-orientations temperature distribution inside a crystal were again calculated as the melting point of silicon by having made temperature on the front face of a crystal according the temperature in an interface to this and the above-mentioned thermal rating into boundary condition, and the direction distribution of a path of a shaft-orientations temperature gradient was calculated after this. The axis of abscissa was set as the direction location of a path, and drawing 2 showed defective distribution by setting an axis of ordinate as V/G value.
[0022] V/G value is 0.20mm2 / **, and min so that drawing 2 may show. When it is the following, a rearrangement cluster occurs in the direction whole region of a path. V/G value is 0.20mm2 / **, and min. It takes for becoming large and a field changes in order of a defect-free field and OSF ring generating field and an infrared dispersion defective generating field. Although the minimum of a defect-free field is regularity (0.20mm2 / **, and min) regardless of the direction location of a path here, between a crystal center and the location from a crystal periphery to 30mm, an upper limit is fixed (0.22mm2 / **, and min), between the location from a crystal periphery to 30mm, and a crystal periphery location, is taken for approaching a crystal periphery and serves as size. And even when hot zone structures differ, various defects are distributed according to this drawing.
[0023] That is, if it pulls up with hot zone structure and a rate is decided, V/G value in the direction of the diameter of a crystal which the training equipment has will be determined like a broken line. a raising rate -- V1 it is -- a case -- the V/G curve -- an infrared dispersion defective generating field -- crossing -- a crystal -- a part -- an infrared dispersion defect -- being generated -- an OSF ring generating field -- crossing -- a crystal -- a part -- an OSF ring -- generating . Therefore, it pulls up and a rate is V1. An OSF ring is generated in the outermost periphery of a wafer, and an infrared dispersion defect produces a case in the field of the inside. When a raising rate falls, a V/G curve is V2, V3, V4, and V5. It moves like and the direction distribution of a path of the defect generated into a crystal changes.
[0024] In that V/G which becomes defect-free in the direction whole region of a path of a single crystal in training of the silicon single crystal by the CZ process exists, that it is possible to abolish a defect in the direction whole region of a path of a single crystal depending on V/G if it puts in another way, however the conventional training, since the lower right generally serves as [a V/G curve] ** regardless of the raising rate of a single crystal, it is two points of being unable to perform supposing that it is defect-free in the direction whole region of a path points should be observed here.
[0025] Although a V/G curve describes in detail that the lower right serves as ** later, the shaft-orientations temperature gradient in a crystal is because it is large in the periphery section as compared with a core. Namely, since G takes toward a periphery from a core and V increases in the fixed condition, as for a V/G curve, the lower right serves as **. Therefore, although V/G which becomes defect-free in the whole region of the direction of a path exists, the whole wafer surface cannot be made defect-free.
[0026] For example, VV1 An OSF ring is generated in the outermost periphery of a wafer, and an infrared dispersion defect generates a case in the inside. This is high-speed training of the general former. VV1 V2 [late] and V3 Although an OSF ring will be generated in the direction pars intermedia of a path of a wafer and the outside will serve as a defect-free field if it becomes, inside, an infrared dispersion defect occurs. This is medium-speed training and is equivalent to drawing 1 (A). V is V4 [still later]. Although an OSF ring will be generated in a wafer core and a defect-free field will remain in the outside if it becomes, a rearrangement cluster occurs in the outermost periphery. This is medium-speed training equivalent to drawing 1 (B). V is V5 [still later]. Although an OSF ring will disappear in a core if it becomes, a rearrangement cluster occurs all over a wafer. This is low-speed training equivalent to drawing 1 (C). Moreover, 0.20-0.22mm2 / **, and min from which a defect does not produce V/G in the crystal center section temporarily Even if it manages, in order to take for separating from the crystal center section and for V/G to fall, a rearrangement cluster is produced except a core.
[0027] Thus, in training of the silicon single crystal by the CZ process, although V/G which can form a defect-free field in the direction whole region of a path of a single crystal exists, since the lower right is the curve of **, V/G cannot make the whole wafer surface defect-free.

[0028] However, if V/G can be made into a straight line fixed in the direction of a path, or the curve of right going up increased gradually in the periphery section in the direction of a path of a single crystal, generating of a defect can be prevented in the whole region of the direction of a path. Based on this assumption, this invention persons performed further investigation analysis. Consequently, it can consider as a straight line as shows V/G to drawing 2 as a continuous line depending on the structure of the hot zone of crystal training equipment, or the curve after the right, consequently a defect-free field is formed in the direction whole region of a path of a single crystal, the knowledge of manufacture of the whole surface defect-free wafer which was impossible until now being attained here is carried out, and it came to complete this invention.
[0029] The silicon single crystal wafer of this invention is a silicon single crystal wafer raised by the CZ process, when it carries out thermal oxidation processing, it is a low-speed training wafer with which the oxidation induction stacking fault (OSF) generated in the shape of a ring was extinguished in the wafer core, and it is characterized by eliminating the rearrangement cluster from the whole wafer surface.
[0030] Moreover, in case the wafer manufacture approach of this invention raises a silicon single crystal by the CZ process When setting a raising rate to V (mm/min) and setting the average of inclination to G (degree C/min) whenever [crystal internal temperature / of the raising shaft orientations in the temperature requirement from the silicon melting point to 1300 degrees C], Between a crystal center location and the location from a crystal periphery to 30mm, they are 0.20-0.22mm2 / **, and min about V/G value. It carries out. Between the location from a crystal periphery to 30mm, and a crystal periphery location, they are 0.20-0.22mm2 / **, and min. It is characterized by carrying out or making it increase gradually toward a crystal periphery.
[0031]
[Function] Since an OSF ring is the low-speed training wafer which disappeared in the wafer core, the wafer of this invention does not include the infrared dispersion defect generated in OSF and its inside. And the rearrangement cluster which should be generated outside is also eliminated. Therefore, it becomes the high quality wafer which does not have a harmful defect over the whole surface.
[0032] Moreover, by the wafer manufacture approach of this invention, the temperature distribution of CZ furnace are adjusted so that V/G value may cross only a defect-free field in the direction of the diameter of a crystal. The lower limit of a defect-free field is 0.20mm2 / **, and min here. A upper limit is set into the part it is fixed and excluding 30mm from a periphery, and they are 0.22mm2 / **, and min. It is fixed and the gradual increase is carried out toward the periphery in the part from a periphery to 30mm. Therefore, between a crystal center location and the location from a crystal periphery to 30mm, they are 0.20-0.22mm2 / **, and min about V/G value. It carries out. Between the location from a crystal periphery to 30mm, and a crystal periphery location, they are 0.20-0.22mm2 / **, and min. By carrying out or making it increase gradually toward a crystal periphery, the low-speed training crystal which an OSF ring disappears in the crystal center section, and does not contain a rearrangement cluster is obtained.
[0033] Generally the shaft-orientations temperature gradient in a crystal has the large periphery section as compared with a core. It is this having the exoergic section in CZ furnace below a crystal, and the heat flow rate which flowed from the solid-liquid interface since the upper part of a crystal and a perimeter were the low-temperature sections pulling up under a crystal, meeting a shaft, and flowing toward the upper part and the direction of a front face of a crystal (periphery). It is because a crystal is cooled, and the heat dissipation from a crystal front face is as large as the furnace at which a crystal is easy to be cooled, and the temperature gradient in the periphery section tends to become large. Therefore, at general CZ furnace which has the structure where crystal cooling power is large, the direction distribution of a path of V/G in the crystal under growth has the inclination to fall toward a periphery from a core, at a fixed raising rate. At such a CZ furnace, even if V/G value is in the defect-free field of drawing 2 in a core, if a periphery is approached, it will separate from this field, and in order to cross the field which a rearrangement cluster generates, generating of a rearrangement cluster is not avoided.
[0034] However, since, as for CZ furnace at which a crystal is hard to be cooled, the direction of a heat flow rate mainly flows toward the upper part conversely rather than a periphery and, as for the crystal front face of the elevated-temperature section conversely near the melting point, temperature tends to become high relatively by radiation from melt, quartz crucible, a heater, etc., a temperature gradient becomes low a little rather than a core. However, in the heat dissipation from a crystal front face, for a certain reason, a temperature gradient does not become small without any restriction not a little. At CZ furnace which has the structure where a crystal is hard to be cooled, V/G value serves as an inclination which increases 1 certain or a little in the direction of a path, and does not increase without any restriction from this. Therefore, if such a CZ furnace is used and V/G value is made to exist in a defect-free field in the crystal center section, in the direction whole region of a path, it will not separate from V/G value from a defect-free field. Consequently, though an OSF ring is the low-speed training crystal which disappeared in the core of a crystal, the single crystal which a rearrangement cluster does not generate is obtained.
[0035] The temperature gradient in the elevated-temperature section near the melting point in a crystal is not necessarily fixed in a crystal orientation, and it changes from the top section a little, applying it to a tail part. This is for the heat flow rate which carries out an inflow outflow to change to a crystal, when the thermal environment in CZ furnace changes with change of that heater power changes in order to maintain a fixed diameter at the time of crystal growth, crystal length, ********, etc., etc. gradually. Therefore, in the conventional CZ process, the defective distribution which V/G value also changes and generates it also changes with change of the temperature gradient of the crystal orientation accompanying increase of the amount of raising to shaft orientations every only (refer to drawing 3).
[0036] Then, to change of the temperature gradient G of a crystal orientation, it pulls up so that V/G may become fixed, and a rate V is adjusted (refer to drawing 5). doing so -- the shaft-orientations whole region -- also setting -- the whole surface -- it becomes possible to suppose that it is defect-free. Thus, even if it pulls up for the purpose of defective control and controls a rate, diameter control of a crystal is possible as usual. That is, though it pulls up by the fixed span for every time amount for several seconds and a rate is fluctuated control and it of heater power, linkage, or around a target raising rate independently required for defective control, the average raising rate V does not change but V/G value made into the purpose are maintained. This is because generating of a defect is not influenced to fluctuation of the raising rate of such a short time.
[0037]
[Example] The example of this invention is explained below.
[0038] In CZ furnace which can raise 18"6 in which quartz crucible and carbon crucible were installed" single crystal The relative position of the cylinder-like carbon heater and crucible which were installed in the perimeter of crucible, The distance of the tip of the radiation screen of 5mm in thickness, and the semicircle drill configuration of 200mm of diameters of opening and melt front face which consist of carbon installed in the perimeter of a training crystal, The comprehensive thermal rating examined conditions variously, in parts except the field from a crystal periphery to 30mm, such as heat insulator structure of the perimeter of a heater, V/G was almost fixed, and the above-mentioned conditions were determined so that V/G might increase in monotone toward a periphery in the field from a periphery to 30mm. A count result is shown in drawing 3 . 0,100--700mm in drawing is the amount of crystal raising.
[0039] After determining the above-mentioned conditions, 65kg of high grade polycrystalline silicon is put into 18" quartz crucible,

boron is doped, the heating dissolution of the polycrystalline silicon is carried out, crystal growth bearing pulls up [a diameter] the single crystal of <100> by 150mm, and rates are 0.45 mm/min. It raised to die length of 1300mm at a low speed.
[0040] the crystal after training -- a crystal orientation and parallel -- 1.5mm in thickness -- starting -- HF and HNO3 from -- dissolution removal of the processing distortion is carried out in the becoming mixed-acid solution, and it is further immersed into a rare HF solution, and the rinse was carried out and it was made to dry with ultrapure water after that After heat-treating this sample in 800 degrees C / 4hr+1000 degrees C /, and 16hr desiccation oxygen, the X-ray topogrph investigated generating distribution of a defect. Although distribution of a defect was shown in drawing 4 , distribution of the investigated defect became a thing corresponding to the count result of drawing 3 as follows. In addition, the figure in drawing 4 is the die length from the shoulder of a single crystal, and corresponds to the amount of raising in drawing 3 .
[0041] a ratio with the average G of the crystal orientation temperature gradient from the raising rate V and the melting point to 1300 degrees C -- in the direction of a path of a crystal, V/G is about 1 constant value from a core up to the location of 45mm, and is increasing in monotone toward the periphery section from the location of 45mm. In addition, the location of 45mm is 30mm in location from a periphery from a core.
[0042] As a result of managing V/G in this way, in the shaft-orientations part from the crystal top to 200mm, V/G in the crystal center section is 0.20mm2 / **, and min. It is the following and the rearrangement cluster occurred throughout the direction of a path. If it applies to 500mm from 200mm, V/G in the crystal center section is 0.22-0.20mm2 / **, and min. It has become. At about 400mm, V/G is especially 0.22-0.20mm2 / **, and min in the field from a crystal center to 45mm. It is maintained. Since V/G increased from 45mm in monotone in the outside field and V/G was managed by these in the defect-free field throughout the direction of a path, generating of the harmful Grown-in defect of others, such as an OSF ring and an infrared dispersion defect, was not seen throughout the direction of a path. In the part applied to a crystal tail from 500mm, V/G in the crystal center section is 0.22mm2 / **, and min. Since it exceeded, the OSF ring was generated and the infrared dispersion defect occurred in the inside.
[0043] As shown in drawing 5 based on such a result next, the about 400mm [in said example] V/G curve was reproduced in the overall length of a crystal orientation. That is, V/G is 0.22-0.20mm2 / **, and min in the field from a crystal center to 45mm. It was maintained, and the target raising rate in a crystal orientation was set up so that V/G might increase from 45mm in monotone in an outside field. Other operating conditions except a raising rate were set up like said example, and raised the single crystal of 6"B dope <100> and 1300mm of crystal length. Generating distribution of the defect in this crystal was investigated by the same approach as said example. In the overall length applied to a tail part, generating of an OSF ring, an infrared dispersion defect, and a rearrangement cluster was not seen from the top section.
[0044]
[Effect of the Invention] The silicon single crystal wafer of this invention is very stable thermally, remains or grows up to be a device active region, since the harmful Grown-in defect (an infrared dispersion defect, an OSF ring, rearrangement cluster) which degrades the dependability and the junction league property of gate oxide is not include over the whole surface, it is use for a high integrated semiconductor component, prevents the property degradation, and contributes it to improvement in a component manufacture yield, as explain above. Moreover, manufacture of CZ silicon single crystal wafer of such high quality is easily attained by the wafer manufacture approach of this invention.

[Translation done.]

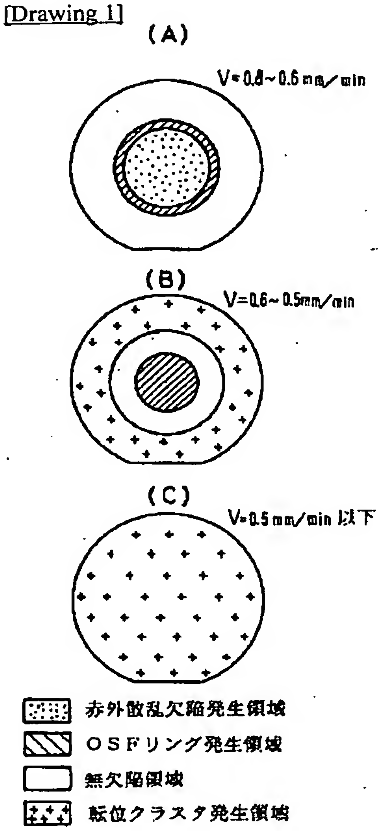
DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]
[Drawing 1] It is the mimetic diagram showing defective distribution of the silicon single crystal wafer raised by the CZ process.
[Drawing 2] The graph showing relation (V/G curve) and defective distribution of both when making an axis of abscissa into the direction location of the diameter of a crystal, and making an axis of ordinate into V/G shows the effect the inclination of a V/G curve affects generating of a defect.
[Drawing 3] The graph showing relation (v/G curve) and defective distribution of both when making an axis of abscissa into the direction location of the diameter of a crystal, and making an axis of ordinate into V/G shows the effect the level of a V/G curve affects generating of a defect.
[Drawing 4] It is the mimetic diagram showing defective distribution in a flat surface including a crystallographic axis.
[Drawing 5] The case where generating of a defect is prevented covering a shaft-orientations overall length in the graph showing relation (V/G curve) and defective distribution of both when making an axis of abscissa into the direction location of the diameter of a crystal, and making an axis of ordinate into V/G is shown.

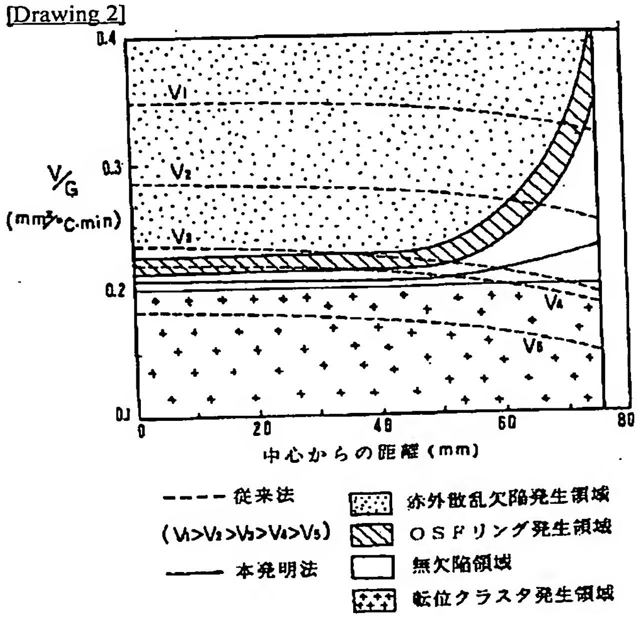
[Translation done.]

DRAWINGS

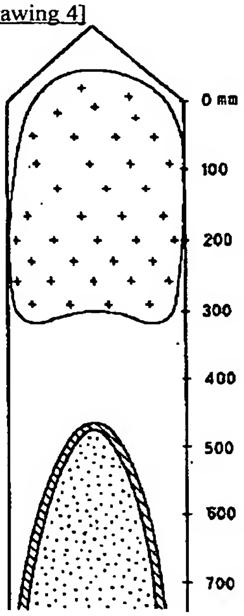
[Drawing 1]



[Drawing 2]

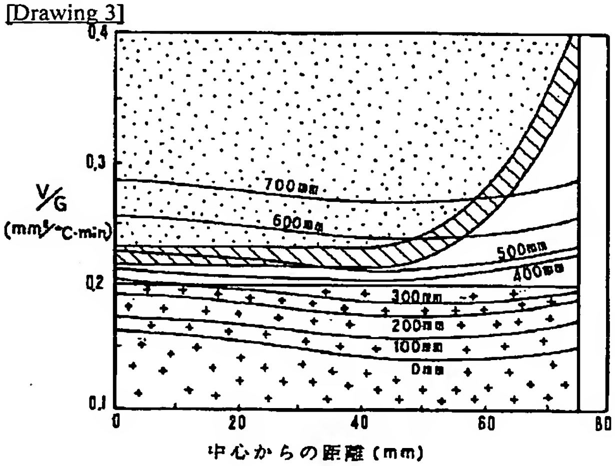


[Drawing 4]



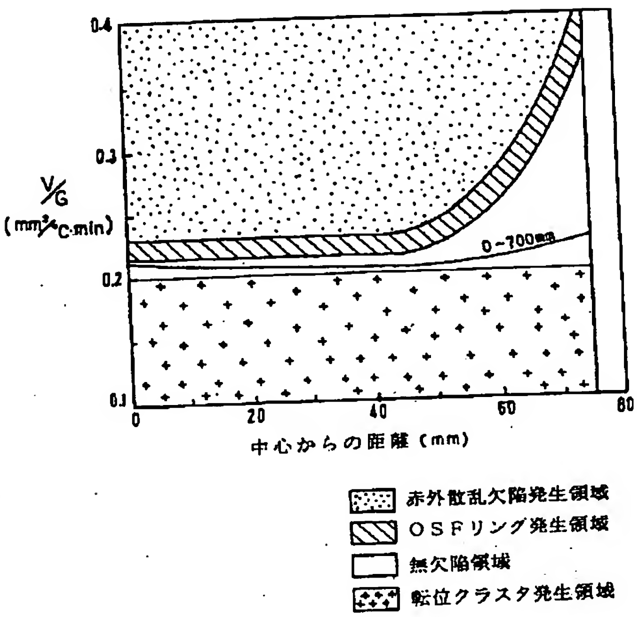
赤外散乱欠陥発生領域
ＯＳＦリング発生領域
無欠陥領域
転位クラスタ発生領域

[Drawing 3]



赤外散乱欠陥発生領域
ＯＳＦリング発生領域
無欠陥領域
転位クラスタ発生領域

[Drawing 5]



[Translation done.]